

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-121758

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/788

29/792

G11C 11/22

8522-5L

9191-5L

H01L 29/78

371

G11C 17/00

307 E

審査請求 未請求 請求項の数2(全6頁) 最終頁に続く

(21)出願番号

特願平3-281624

(22)出願日

平成3年(1991)10月28日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 鮫島 克己

京都市右京区西院溝崎町21番地 ローム株式会社内

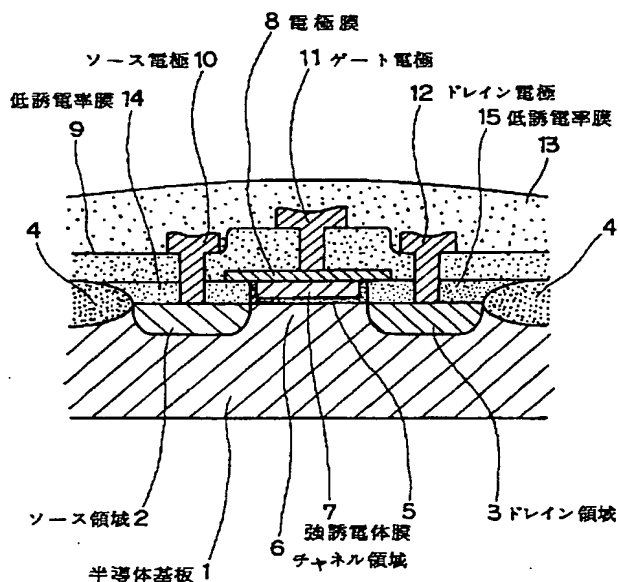
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体記憶素子およびその製法

(57)【要約】

【目的】 強誘電体膜を使用した半導体記憶素子で、強誘電体膜のパターニングを選択比の小さいエッチングで行っても、半導体材料などにダメージを与えず、しかも効率のよい分極反転を行う半導体記憶素子およびその製法を提供する。

【構成】 半導体基板表面にソース領域2とドレイン領域3を形成し、そのソース領域2とドレイン領域3の上に低誘電率膜を形成したのち、ソース領域2とドレイン領域3とで挟まれたチャネル領域6上に強誘電体膜を形成し、前記強誘電体膜7と前記低誘電率膜14、15の表面とが同一面に形成されるように構成したもの。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板に形成されたソース領域と、ドレイン領域と、チャネル領域と、該チャネル領域上で前記半導体基板上に形成された強誘電体膜と電極膜とからなる半導体記憶素子であって、前記ソース領域およびドレイン領域上に低誘電率の誘電体膜である低誘電率膜が形成され、前記チャネル領域上の強誘電体膜がその上面が前記低誘電率膜の上面と同一面に形成され、前記低誘電率膜上に前記電極膜の端部が形成されていることを特徴とする半導体記憶素子。

【請求項 2】 半導体基板のチャネル領域形成場所上に保護膜をパターニングする工程と、該保護膜の両側に不純物を拡散してソース領域およびドレイン領域を形成する工程と、該ソース領域およびドレイン領域の形成された半導体基板上に前記保護膜と異なる性質を有する低誘電率の誘電体膜である低誘電率膜を形成する工程と、該半導体基板上に形成された膜が平坦になるように前記保護膜が露出するまでエッチバックする工程と、該露出した保護膜を腐蝕除去し半導体基板表面を露出させる工程と、該露出した半導体基板表面にゲート絶縁膜を介してまたは直接強誘電体膜を形成してのち、表面を平坦にする工程と、該平坦面の表面からエッチバックして前記低誘電率膜を露出させ前記チャネル領域上の強誘電体膜と前記低誘電率膜とを同一面に形成する工程と、前記強誘電体膜上に電極膜を形成する工程と、ソース電極、ドレイン電極、ゲート電極を形成する工程とからなることを特徴とする半導体記憶素子の製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶素子に関する。さらに詳しくは強誘電体膜を使用した非破壊読み出しが可能な半導体記憶素子で、強誘電体膜のパターニング加工を改良した半導体記憶素子およびその製法に関する。

## 【0002】

【従来の技術】 従来より利用されている強誘電体キャパシタを使用した半導体記憶素子は図 9 のような構造になっている。この図において、1 は半導体基板、2 はソース領域、3 はドレイン領域、4 は素子分離用のフィールド酸化膜、5 はゲート絶縁膜、6 はチャネル領域、7 は強誘電体膜、8 はゲート電極膜、9 は層間絶縁膜、10、11、12 はそれぞれソース、ゲート、ドレイン電極のアルミ配線で、13 はパシベーション膜である。

【0003】 この従来例の構造で、ゲート電極膜 8 と半導体基板 1 のあいだに電圧を印加して強誘電体を分極させると強誘電体はヒステリシス特性を有するため、印加電圧を 0 にしても残留分極が残り、ソース、ドレイン間に電圧を印加することにより強誘電体膜 7 に残留した分極が、半導体基板 1 表面のチャネル領域 6 に電子または正孔を誘起し、それに応じてソース、ドレイン間に ON、

2

OFF のスイッチング作用を生じ、記憶したデータを非破壊で読み出すことができる。

【0004】 この従来の半導体記憶素子の製法は、半導体基板 1 にまずフィールド酸化膜 4 を形成し、ゲート絶縁膜 5、強誘電体膜 7 およびゲート電極膜 8 を形成し、これらがチャネル領域 6 上に形成されるようにパターニングしてのちこれをマスクとして不純物イオンを注入し、ソース領域 2 およびドレイン領域 3 を形成している。そののち層間絶縁膜 9、電極などを形成している。

10 【0005】

【発明が解決しようとする課題】 しかし、この半導体記憶素子に使用する強誘電体は通常 PZT ( $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ )、 $\text{PbTiO}_3$  などのペロブスカイト構造のものが自発分極が大きいため使用されるが、これらの材料はエッチングなどによる加工性がよくない。

【0006】 そのため微細な加工をするためにはイオンミリングなどのドライエッチング法を使用しなければならないが、イオンミリングはアルゴンイオンなどのイオンビームエッチング方法により行うため、強誘電体膜と他の絶縁膜や半導体材料などとの選択比を大きくとることができない。そのため周囲の半導体材料などにダメージを与え易い。とくに薄いゲート絶縁膜 5 上に形成した強誘電体膜 7 をドライエッチングで加工すると、エッチングを長くやり過ぎるとゲート絶縁膜 5 を破って半導体基板 1 にダメージを与えトランジスタの特性を劣化させ、一方エッチングが不足すると強誘電体膜 7 が残るといった問題がある。

【0007】 またダメージを余り与えないエッチング法としてウェットエッチングで行うと十分な微細加工を行えず、最近の超 LSI 化したサブミクロンオーダーの加工を必要とする半導体装置には使用できないという問題がある。

【0008】 本発明はこのような状況に鑑み、微細加工の行いにくい強誘電体の加工を半導体素子の特性に影響しない状態で加工できるようにすることを目的とする。

## 【0009】

【課題を解決するための手段】 本発明による半導体記憶素子は、半導体基板に形成されたソース領域と、ドレイン領域と、チャネル領域と、該チャネル領域上で前記半導体基板上に形成された強誘電体膜と電極膜とからなる半導体記憶素子であって、前記ソース領域およびドレイン領域上に低誘電率の誘電体膜である低誘電率膜が形成され、前記チャネル領域上の強誘電体膜がその上面が前記低誘電率膜の上面と同一面に形成され、前記低誘電率膜上に前記電極膜の端部が形成されるように構成したものである。

【0010】 また本発明の半導体記憶素子の製法は前述の構造に形成し、エッチング時に半導体材料にダメージを与えないようにするため、半導体基板のチャネル領域形成場所上に保護膜をパターニングする工程と、該保護

50

3

膜の両側に不純物を拡散してソース領域およびドレイン領域を形成する工程と、該ソース領域およびドレイン領域の形成された半導体基板上に前記保護膜と異なる性質を有する低誘電率の誘電体膜である低誘電率膜を形成する工程と、該半導体基板上に形成された膜が平坦になるように前記保護膜が露出するまでエッチバックする工程と、該露出した保護膜を除去し半導体基板表面を露出する工程と、該露出した半導体基板表面にゲート絶縁膜を介してまたは直接強誘電体膜を形成してのち、表面を平坦にする工程と、該平坦面の表面からエッチバックして前記低誘電率膜を露出させ前記チャネル領域上の強誘電体膜と前記低誘電率膜とを同一面に形成する工程と、前記強誘電体膜上に電極膜を形成する工程と、ソース電極、ドレイン電極、ゲート電極を形成する工程とからなることを特徴とするものである。

#### 【0011】

【作用】本発明によれば、ソース、ドレイン領域上に低誘電率の誘電体膜（以下、低誘電率膜という）を形成したのち強誘電体膜を付着して、チャネル領域上の強誘電体膜面と前記低誘電率膜面とを同一面になるようにして形成しているため、イオンミリングなど選択比が小さく加工性の強いドライエッチングで強誘電体の加工を行って加工し過ぎても、厚い低誘電率膜の一部がエッチングされるだけで半導体材料そのものはエッチングされず、素子特性に影響することはない。

【0012】また、本発明によれば、チャネル領域上に形成した強誘電体膜の面と周囲のソース、ドレイン領域上に形成した低誘電率膜とを同一面になるように形成し、その面に低誘電率膜上にわたって電極膜を形成しているため、強誘電体膜はソース、ドレイン領域で挟まれたチャネル領域上の端から端まで有効に作用し（低誘電率膜は誘電率が小さいため、上部に電極膜が形成されてもキャパシタとして作用しない）、しかも半導体基板と平行に電極膜が形成されているため、分極の方向は均一となり、効率良く高キャパシタを形成する。

#### 【0013】

【実施例】つぎに図面に基いて本発明について説明する。図1は本発明の一実施例である半導体記憶素子の断面構造を示す説明図である。図において、1～13は図9と同じ部分を指す。

【0014】この実施例では、ソース領域2およびドレイン領域3上に低誘電率膜14、15がそれぞれ形成されており、そののち、強誘電体膜7を形成し、チャネル領域6上の強誘電体膜7と低誘電率膜14、15とを同一面になるように形成し、その同一面上で端部が低誘電率膜14、15上にくるように電極膜8が形成されている。この低誘電率膜14、15はたとえば、酸化ケイ素膜とかチツ化ケイ素膜などで、通常の半導体装置の製造において便利に使用される比誘電率が4～7位のもので、厚さは0.5 μm位形成されている。

4

【0015】強誘電体膜7は、たとえば  $\text{PbTiO}_3$ 、 $\text{PZT}$  ( $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ )、 $\text{PLZT}$  ( $(\text{Pb}_{1-x}\text{La}_x)(\text{Zr}_{1-y}\text{Ti}_y)_{1-x/4}\text{O}_3$ ) などの自発分極の大きい酸化物ペロブスカイト構造を有するもので比誘電率は100～2000位のものを使用する。この強誘電体膜7はたとえば、スパッタリング法とかCVD法、ゾルゲル法などで半導体基板の表面全体に付着し、そののち表面を平坦化してイオンミリングなどのドライエッチングで低誘電率膜が露出するまでバックエッチし、強誘電体膜と低誘電率膜とが同一面になるように形成する。

【0016】このバックエッチは、強誘電体膜との境界面でのエッチングが低誘電率膜14、15上でなされるため、ドライエッチングで行っても、半導体基板1を傷つけたり、強誘電体膜を除去し残すことはない。すなわち強誘電体膜を完全に除去する場所は酸化膜などソース、ドレイン領域2、3上に形成された低誘電率膜部分であるため、エッチングし過ぎても厚い酸化膜などの一部が除去されるだけで、半導体領域には及ばず、トランジスタなど半導体構成部分には影響しないからである。

【0017】一方、ソース領域とドレイン領域で挟まれたチャネル領域6上に形成された電極膜8の端部は、チャネル領域6上を超えてソース領域2、ドレイン領域3上の低誘電率膜14、15の上まで延びているが、実際に記憶素子として使用する書き込み時に低誘電率膜14、15に電圧を印加しても、この部分の分極は殆どなされず、キャパシタとして動作しない。したがって、低誘電率膜14、15上に延ばすことにより、強誘電体膜の端から端までをキャパシタとして有効に利用できる。

【0018】つぎにこの半導体記憶素子の製法について説明する。図2～8は本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【0019】まず図2に示すように、半導体基板1上にチツ化膜などでバターニングして素子間分離のフィールド酸化膜4を形成し、そののちチャネル領域6形成場所に保護膜16をバターニング形成する。具体例としてフィールド酸化膜4を形成したp型半導体基板1上に、CVD法により  $\text{SiH}_2\text{Cl}_2$  ガスと  $\text{NH}_3$  ガスを約750℃で気相反応させ、0.5 μmのチツ化膜を形成し、プラズマエッチングして保護膜16を形成した。

【0020】つぎに図3に示すように保護膜16の両側に不純物を拡散してソース領域2、ドレイン領域3を形成する。具体例として、イオン注入法によりAsのイオンをドーズ量  $5 \times 10^{15} \text{cm}^{-2}$  でイオン打込みし、約900℃、約30分間の熱処理をして拡散させ、n+型のソース領域2、ドレイン領域3を形成した。

【0021】つぎに図4に示すように、保護膜16とは異なる性質を有する低誘電率膜17を半導体基板表面全体に形成する。具体例としてCVD法により  $\text{SiH}_4$  ガスと  $\text{N}_2\text{O}$  ガスを導入して約800℃で気相反応させ、酸化ケイ素膜を約0.6 μm形成した。

50

5

【0022】そののち、図5に示すように、半導体基板表面上に形成された膜が平坦になるようにエッチバックし、前記保護膜16を露出させる。具体例として反応性イオンエッチング（以下、RIEという）法によりエッチングすることにより表面から同じ厚さエッチングされ、保護膜16が露出することにより、その周囲に酸化ケイ素膜である低誘電率膜14、15がソース領域2およびドレイン領域3上に形成された。

【0023】つぎに図6に示すように、低誘電率膜14、15やフィールド酸化膜4は腐蝕されないで、保護膜16のみが腐蝕されるエッチング液で保護膜16を腐蝕除去し、半導体基板1を露出させる。具体例としては、熱H<sub>3</sub>PO<sub>4</sub>液でエッチングすることにより窒化膜である保護膜16のみが腐蝕除去され、酸化ケイ素膜であるフィールド酸化膜4、低誘電率膜14、15はそのまま残り、保護膜16の下の半導体基板1の表面が露出した。

【0024】つづいて図7に示すように、ゲート絶縁膜5、強誘電体膜7を順次形成し、表面を平坦化する。具体例としてTEOSを用いたCVD法により約0.6μmの酸化ケイ素膜を形成し、そののちPbTiO<sub>3</sub>をスパッタリングにより0.5μm形成した。そののち、表面にレジスト17を塗布して凹部をなくし、平坦化した。なお、強誘電体膜と半導体基板が反応しないばあいは、ゲート絶縁膜5は不要である。

【0025】つぎに、図8に示すように、平坦化された表面からエッチバックして低誘電率膜14、15を露出させ、チャンネル領域6上の強誘電体膜7と露出した低誘電率膜14、15とを同一面になるように形成する。そののち引き続き電極膜8を強誘電体膜7上に形成する。この電極膜8はその端部が低誘電率膜14、15上に形成されるようにするのが望ましい。

【0026】具体例としては、イオンミリングによるドライエッチングで基板の表面からエッチバックした。このエッチバックは材料が異なっても基板の表面全体から同じ厚さだけエッチングされるためレジスト部分17およびソース、ドレイン領域2、3上の強誘電体膜7も同じ厚さずつエッチングされる。表面は平坦化されているため、低誘電率膜14、15が露出した時点でエッチバックを中止することにより、強誘電体膜7と低誘電率膜14、15との同一面を形成できた。

【0027】このバックエッチの際、ゲート絶縁膜5を形成するとき、低誘電率膜14、15上にも絶縁膜が形成されるが、この絶縁膜は低誘電率膜と同質の低誘電率膜であるため、残存してもよい。またこの絶縁膜は薄い膜であるため、バックエッチの際エッチングされることもあるが、下地は厚い低誘電率膜であり、半導体領域にはダメージを受けず、特性には何ら影響を受けなかった。

【0028】そののち白金金属をスパッタ法により付着し、RIE法でエッチングすることにより電極膜（ゲート電極膜）8を形成した。この際電極膜8の端は低誘電率

6

膜14、15上に位置するようにエッチングした。

【0029】最後に通常の半導体プロセスで行われる手法により、層間絶縁膜9を形成し、ソース電極10、ゲート電極11、ドレイン電極12のアルミ配線を形成し、パシベーション膜13を形成することにより、図1に示すような構造の半導体記憶素子を形成できる。具体例としてはCVD法により酸化ケイ素膜を層間絶縁膜9として形成し、電極コンタクト用孔をRIE法で目抜き、アルミニウム膜をスパッタリングで形成して各々の電極を形成し、さらにCVD法により酸化ケイ素膜をパシベーション膜として形成した。

【0030】

【発明の効果】以上説明したように、本発明によればソース領域とドレイン領域上に形成した低誘電率膜を微細加工で行い、そのあいだに強誘電体膜を形成して前記低誘電率膜と同一面となるようにエッチバックして形成しているため、キャパシタ形成のための微細加工を強誘電体のエッチングで行う必要がなく、また強誘電体膜の不要部分の削除は厚い低誘電率膜上でのバックエッチで行うため、半導体領域にダメージを与えることなく、加工上の問題が解消された高特性、高性能の半導体記憶素子を形成できる。

【0031】さらに本発明によれば、強誘電体膜と周囲のソース、ドレイン領域上の低誘電率膜14、15とを同一平面に形成して、その面に電極膜を形成しているため、電極膜8と強誘電体膜、さらには半導体基板とは完全な平行状態に形成されており、分極の方向は完全に同一方向に形成でき効率よくキャパシタを形成できる。その結果低い電圧でも大きな分極をえられ、高特性の半導体記憶素子をえられる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体記憶素子の構造を示す断面説明図である。

【図2】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図3】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図4】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図5】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図6】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図7】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

【図8】本発明の一実施例である半導体記憶素子の製造工程を示す断面説明図である。

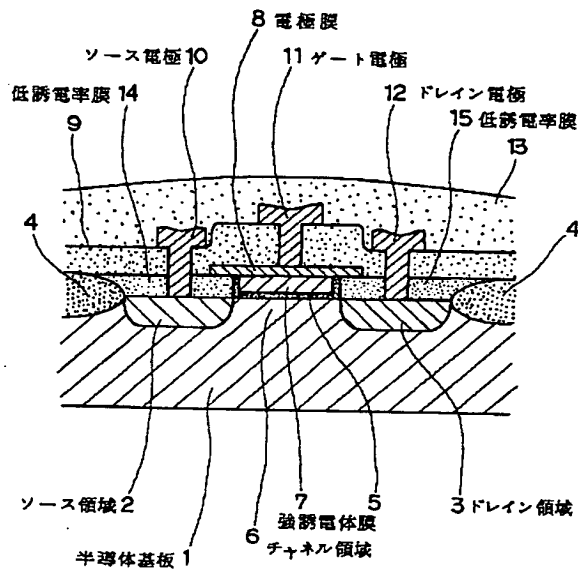
【図9】従来の半導体記憶素子の構造を示す断面説明図である。

【符号の説明】

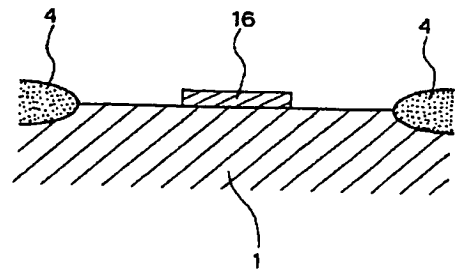
- 1 半導体基板  
2 ソース領域  
3 ドレイン領域  
6 チャネル領域  
7 強誘電体膜

- \* 8 電極膜  
10 ソース電極  
11 ゲート電極  
12 ドレイン電極  
\* 14、15 低誘電率膜

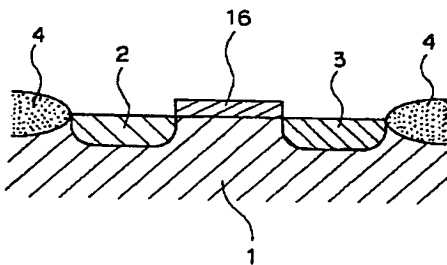
【図1】



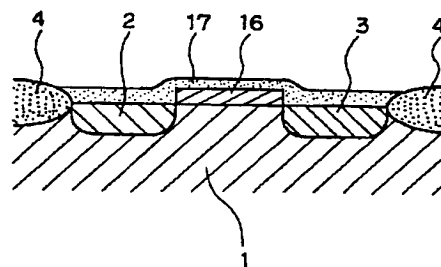
【図2】



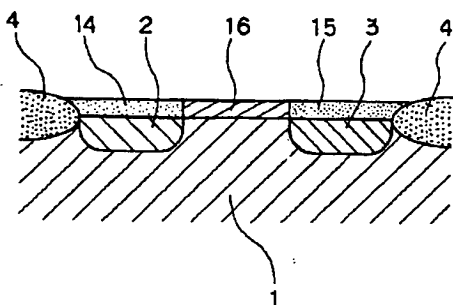
【図3】



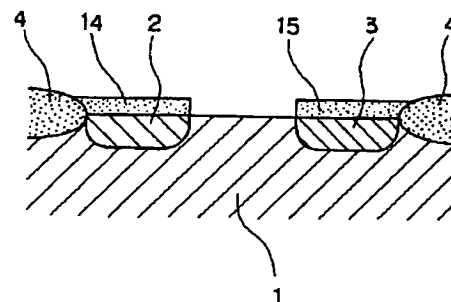
【図4】



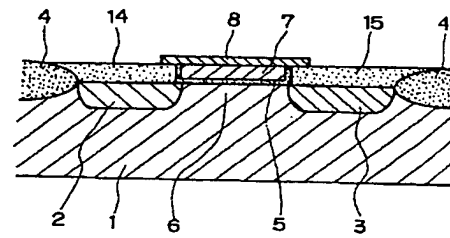
【図5】



【図6】



【図 8】



A cross-sectional view of a multi-layered structure. The central core consists of a top layer (11) and a bottom layer (12) separated by a thin layer (13). This core is surrounded by a layer (10) which contains a central rectangular block (8). The entire assembly is embedded within a larger structure (4) that has a bottom layer (1) and a top layer (2). The bottom layer (1) has a central rectangular block (6) and two side blocks (5 and 3). The top layer (2) has a central rectangular block (7) and two side blocks (9 and 10). The side blocks (9 and 10) are connected by a layer (4) that also contains a central rectangular block (8).

(51)Int.Cl.<sup>5</sup>  
G 1 1 C 16/02

庁内整理番号

### 技術表示箇所